

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-003912

(43)Date of publication of application : 07.01.2000

(51)Int.Cl.

H01L 21/3205
H01L 21/304

(21)Application number : 10-167904

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.06.1998

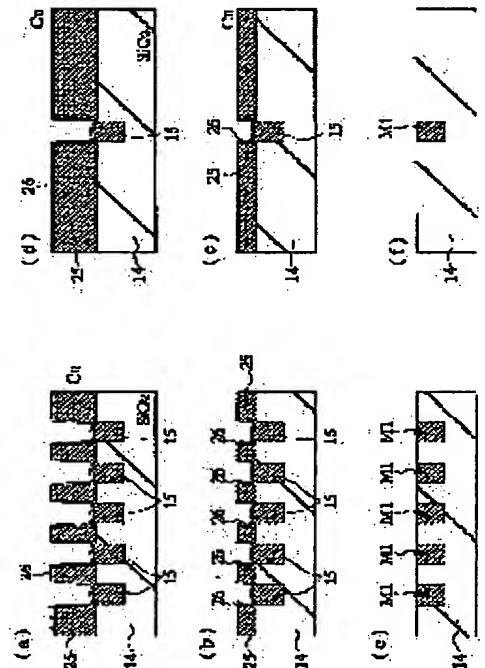
(72)Inventor : NOGUCHI JUNJI
SAITO TATSUYUKI
OHASHI TADASHI
YAMAGUCHI HIDE
KONDO SEIICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the erosion or dishing in the case of forming a wiring or a plug by CMP process.

SOLUTION: The stopper films 26 in lower polishing rate by CMP process than that of the copper film 25 are formed on the surface of the copper film 24 (a) and (d) so as to polish the copper film 25 and the stopper films 26. At this time, the stopper films 26 are selected out of titanium (Ti) film, tantalum film (Ta) film, tungsten (W) film, tungsten nitride (WN) film, tantalum nitride (TaN) film. In a region in high wiring density (b), the quantity of the copper film 25 to be polished is small but the quantity of the stopper films 26 is large, while in a region in low wiring density (e), the quantity of the copper film 25 to be polished is large but the quantity of the stopper films is small so that almost the same quantities may be polished thereby permitting the just etched state wherein the polishings of both films are finished to be almost simultaneously attained (c) and (f).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開2000-3912

(P2000-3912A)

(43) 公開日 平成12年1月7日(2000.1.7)

(51) IntCl. ⁷	FI	フーワード (多摩)
H01L 21/305	H01L 21/88	K 5F033
21/304	21/304	622X

審査請求 未請求 請求項の枚数 10 O L (全 18 頁)

(21) 出願番号	特開平10-167904	(71) 出願人	00005108 株式会社日立製作所
(22) 出願日	平成10年6月16日(1998.6.16)	(72) 発明者	野口 頌司 東京都府中市新町六丁目16番地の3 株式会社日立製作所デバイス開発センター内 野口 頌之 東京都府中市新町六丁目16番地の3 株式会社日立製作所デバイス開発センター内 10008001 弁理士 筒井 大和

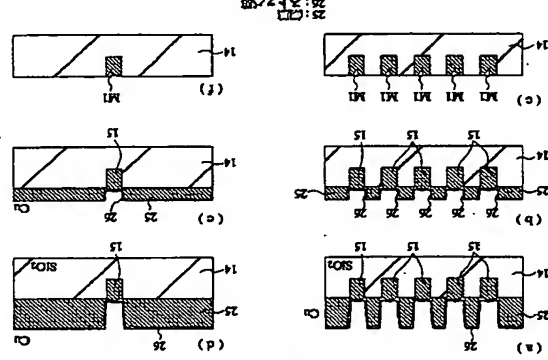
(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 CMP法により配線またはブラグを形成する際のエロージョンまたはディッシングを抑制する。

【解決手段】 銅膜25の表面にそのCMP法による研磨速度が銅膜25の研磨速度より小さいストッパ膜26を形成し((a)および(d))、CMP法により銅膜25およびストッパ膜26を研磨する。ストッパ膜26はたとえばチタン(Ti)膜、タンタル(Ta)膜、タングステン(W)膜、窒化タングステン(WN)膜、窒化タンタル(TaN)膜から選択される。配線密度が大な銅膜(b)では、研磨すべき銅膜25の量は少ないがストッパ膜26の量が多く、一方、配線密度が小さな銅膜(c)では、研磨すべき銅膜25の量は多いがストッパ膜26の量が少いため、ほぼ同量だけ研磨され、両者の研磨が終了するジャストエッチ状態は、ほぼ同時に達成される((c)および(f))。

11 図



【特許請求の範囲】

【請求項1】 その主面に回路素子が形成された半導体からなる基板または半導体層を有する基板と、前記基板の主面の何れかの領域に形成された銅膜であってその表面に凹凸形状を有する第1被膜と、前記第1被膜の凹部に埋め込んで形成された埋め込み部材、または前記第1被膜を覆いその表面が平坦化された平坦化層とを有する半導体装置の製造方法であって、

前記第1被膜上に前記埋め込み部材または平坦化層となす第2被膜を形成する第1工程と、前記第2被膜上に前記第2被膜よりもCMP法による研磨速度の小さい第3被膜を堆積する第2工程と、前記第3被膜および第2被膜をCMP法により研磨して前記埋め込み部材または平坦化層を形成する第3工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法であって、前記第3被膜の膜厚は、

第2被膜の研磨量(K2)と、第3被膜の研磨量(K3)に第2被膜の研磨速度(V2)の第3被膜の研磨速度(V3)に対する比($R = V2/V3$)を乗じた値($K3 \cdot R$)との和($K2 + K3 \cdot R$)が、前記基板の任意の領域においてほぼ等しくなる第1の条件、または、前記第1被膜の凹凸形状に起因する前記第2被膜の凹部の容積Wと、前記凹部の側壁に形成された前記第3被膜の体積W3に第2被膜の研磨速度(V2)の第3被膜の研磨速度(V3)に対する比($R = V2/V3$)を乗じた値($W3 \cdot R$)とが、ほぼ等しくなる第2の条件、

の何れかの条件で形成されることを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2記載の半導体装置の製造方法であって、

前記第1被膜は絶縁膜であり、前記第1被膜の凹部は配線溝または接点孔であり、前記第2被膜は銅または銅合金を主成分とする銅膜であり、前記埋め込み部材は前記金属膜からなる配線またはブラグであり、前記第3被膜はチタン膜、タンタル膜、タングステン膜、窒化タングステン膜、窒化タンタル膜から選択された何れかの金属膜であることを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法であって、

前記銅膜と金属膜との界面に、前記銅膜と金属膜との反応を抑制するバリア層を形成することを特徴とする半導体装置の製造方法。

【請求項5】 その主面に回路素子が形成された半導体からなる基板または半導体層を有する基板と、前記基板の主面の何れかの領域に形成された銅膜であってその表面に凹凸形状を有する第1被膜と、前記第1被膜の凹部に埋め込んで形成された埋め込み部材、または前記第1被膜を覆いその表面が平坦化された平坦化層とを有する第2被膜を形成する第3工程とを含むことを特徴とする半導体装置の製造方法。

する半導体装置の製造方法であって、

前記第1被膜上に前記埋め込み部材または平坦化層となす第2被膜を形成する第1工程と、前記第2被膜上にCMP法による研磨速度が前記第2被膜とほぼ等しく、かつ、形成後の表面が平坦化される第3被膜を形成する第2工程と、前記第3被膜および第2被膜をCMP法により研磨して前記埋め込み部材または平坦化層を形成する第3工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法であって、

前記第1被膜は、絶縁膜であり、前記第2被膜は銅または銅合金を主成分とする銅膜であり、前記第3被膜はメッキ法により形成された銅または銅合金を主成分とする銅膜、または、SOG膜であることを特徴とする半導体装置の製造方法。

【請求項7】 請求項1〜6の何れか一項に記載の半導体装置の製造方法であって、

前記第3被膜および第2被膜のCMP法による研磨により、前記第3被膜を除去する第1の方法、または、前記第1被膜の凹部に前記第3被膜を残存させる第2の方法の何れかの方法を有することを特徴とする半導体装置の製造方法。

【請求項8】 その主面に回路素子が形成された、半導体からなる基板または半導体層を有する基板と、前記基板の主面の何れかの領域に形成された配線溝または接点孔を有する絶縁膜と、前記配線溝または接点孔に埋め込んで形成された配線またはブラグとを有し、前記配線または配線溝または接点孔の表面がCMP法により平坦化されている半導体装置であって、

前記配線またはブラグを構成する金属材料のCMP法による研磨速度よりも小さな研磨速度を有する材料からなる被膜が、前記配線またはブラグ上に前記配線またはブラグとともに前記配線溝または接点孔に埋め込んで形成されていることを特徴とする半導体装置。

【請求項9】 請求項8記載の半導体装置であって、前記配線またはブラグは、銅または銅合金を主成分とする銅膜からなり、前記被膜は、チタン膜、タンタル膜、タングステン膜、窒化タングステン膜、窒化タンタル膜から選択された何れかの金属膜であることを特徴とする半導体装置。

【請求項10】 請求項9記載の半導体装置であって、前記銅膜と金属膜との界面に、前記銅膜と金属膜との反応を抑制するバリア層が形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関し、特に、いわゆるダマシン法を用いて形成された銅等の金属膜を主導電層とする配線または

接続部材を有する半導体装置に適用して有効な技術に開するものである。

【0002】

【従来の技術】 従来、半導体集積回路における配線層の形成は、たとえば、昭和59年11月30日、株式会社オーム社発行、「LSIハンドブック」、p253～p292に記載されているように、絶縁膜上にアルミニウム(A1)合金またはタンダステン(W)などの高融点金属薄膜を成膜し、フォトリソグラフィ工程により配線用薄膜上に配線パターンと同一形状のレジストパターンを形成し、それをマスクとしてドライエッチング工程により配線パターンを形成していた。

【0003】 しかし、このアルミニウム合金を用いる方法では配線の微細化に伴い、配線抵抗の増大が顕著となり、それに伴い配線に伝送される信号の遅延が増加し、半導体装置の性能が低下する等の問題があった。特に高性能なロジックLSIにおいては、性能を阻害する要因として大きな問題が生じている。また、半導体装置の微細化に伴う微細加工にも限界があり、さらに、パターンニングされた後の配線を絶縁膜で埋め込む平坦化の技術にもより高い完成度が求められている。すなわち微細加工の要請から、フォトリソグラフィに用いる光源波長が短波長化するとともに、フォトリソグラフィ工程でのマージンが低下し、被加工基板の平坦性が高くなければ十分なマージンの下に所定の微細加工が行えなくなる恐れが生じている。

【0004】 このため、最近では、1993 VASIC (VLSI Multilevel Interconnection Conference) 予稿集、p15～p21に記載されているように、絶縁膜に形成した溝上に銅(Cu)を主導体層とする配線用金属を埋め込んだ後、溝外部の余分な金属を化学的機械的研磨(CMP: Chemical Mechanical Polishing)法を用いて除去することにより溝内に配線パターンを形成する方法、いわゆるダマシン法による配線形成の技術が検討されている。

【0005】 また、1995 VASIC (VLSI Multilevel Interconnection Conference) 予稿集、p308～p314に記載されているように、銅膜をスパッタした後、基板を熱処理し、この銅膜を流動化して流動した銅膜を溝内に移動させ、溝に銅膜を埋め込む技術が知られている。このように銅膜を流動化することにより、スパッタ法のみでは溝に埋め込むことができない銅膜をリフローさせて溝内部に埋め込むことが可能となる。

【0006】

【発明が解決しようとする課題】 しかし、前記従来技術には、以下のような問題があることを本発明者らは認識した。

【0007】 一般に、絶縁膜に形成された配線溝または接続孔の形成密度が基板の領域によって相違する場合、つまり、ある領域の配線溝または接続孔は密に形成され、他のある領域の配線溝または接続孔は疎に形成される場合が存在する。この場合ような、密な領域と疎な領域との金属量のCMP法による除去量が相違する。すなわち、密な領域では疎な領域よりも多くの金属膜が配線溝または接続孔に埋め込まれるため、CMP法により除去すべき金属量が少なく、疎な領域ではその逆となり除去すべき金属量は多くなる。この結果、基板の領域間で残存する絶縁膜の厚さが相違するエロージョン(Erosion)現象が発生する。また、金属膜と絶縁膜とをシリコン酸化膜とではCMP法による研磨速度が100倍程度相違するため、金属部分つまり配線溝または接続孔の部分が過剰に研磨されるディッシング(Dishing)現象が発生する。以下に図を用いて説明する。

【0008】 図24(a)および(b)は、CMP法による研磨後に発生するエロージョンおよびディッシングを説明するための断面図である。図24(a)は、たとえばシリコン酸化膜からなる絶縁膜100の配線溝101にたとえれば銅からなる配線102がCMP法により形成された場合の概略断面図を示し、図24(b)は、図24(a)の一部を拡大して詳細に示した一部断面図である。

【0009】 配線102の形成は、絶縁膜100の表面に配線溝101を形成した後、配線102となる金属膜をたとえば銅膜を堆積し、配線溝101以外の領域の銅膜をCMP法により除去することにより形成される。図24(a)に示すように、配線102および絶縁膜100の表面はCMP法により研磨されるためほぼ平坦になるが、正確には図24(b)に示すように完全な平坦にはならない。つまり、絶縁膜100の本来の表面位置Xから幾分過剰に研磨された表面位置Yとの差に相当するエロージョン103と、配線102の表面の窪みであるディッシング104とが発生する。このようなエロージョン103およびディッシング104が発生するため、配線102の断面値が設計時の断面値よりも小さくなり、配線102の抵抗値が設計値よりも大きくなるという不都合が生じる。実際のディッシングは配線102の表面部分のディッシング104だけでなく、絶縁膜100の配線近傍にも発生することからトータルディッシング105はさらに大きくなり、配線102の断面値の減少率には大きくなる。

【0010】 エロージョン103、ディッシング104およびトータルディッシング105の発生機構は以下のよう考えられる。図25は、エロージョン103の発

生機構を説明するための表形式で示した概念断面図であり、前記のとおり、一般の半導体装置では配線密度に相違が存在し、図25(a)～(c)は配線密度が密な領域の断面を、図25(d)～(f)は配線密度が疎な領域の断面を示している。CMP法による研磨前の領域の表面形状は、配線密度が大きい領域では、各々図25(a)および(d)に示すようにその配線溝の粗密に応じて相違し、研磨するべき銅膜の厚は配線密度が大な領域では小な領域に比較して少なくなる。このため、研磨の途中においては、配線密度が大な領域でまずジャストエッチの状態(図25(b))となり、このとき配線密度が小な領域では研磨するべき銅膜がまだ残っている(図25(e))。研磨の終了後、絶縁膜の表面全域において除去されるべき銅膜が除去される必要があるため、さらに研磨を継続する必要がある。配線密度が小な領域の銅膜が除去されてジャストエッチの状態となり、絶縁膜ととき(図25(f))、CMP法による研磨が終了することとなる。ところが、配線密度が大な領域では、ジャストエッチよりも過剰に研磨された状態となり、絶縁膜100および配線102がオーバー研磨されてしまう(図25(c))。このオーバー研磨部分がエロージョン103として観測される。

【0011】 また、ディッシング104は、配線102を構成する銅と絶縁膜100を構成するシリコン酸化膜との研磨速度が一般に100倍程度相違し、このため配線部分の過剰に研磨することにより発生する。さらに、配線102が速く研磨される結果、CMP研磨のパッドからの圧力が配線溝101の開口部分に集中することとなり、配線溝101の開口領域が過剰に研磨され、トータルディッシング105を生じる。

【0012】 図26は、本発明者らが検討した実験結果であり、ラインアンドスペースパターンについてライン比を変化させた場合のエロージョン、ディッシングおよびトータルディッシングを評価したグラフである。ライン比が高いほどつまり配線密度が高いほどエロージョンが大きくなっていくことがわかる。一方、ディッシングおよびトータルディッシングは、ライン比つまり配線密度に依存せず、ほぼつきに範囲内で一定である。

【0013】 このように、エロージョンおよびディッシングの発生により、配線の断面値が設計値から外れて小さくなる問題が存在することは前記した通りである。このため、エロージョンおよびディッシングの発生を抑制する方法として、有線露等の添加物による研磨液(スラリー)に配合し、これを用いてCMPの研磨特性を改善するという対策も考えうる。しかし、研磨液の改良は、被研磨材について個別に開発する必要がある。また、研磨条件と密接に関連することから研磨液のみでの解決には困難性が伴う。一方、研磨液によらず、補助的な材料あるいはプロセスの付加により対策できるのであれば、その材料ある

いはプロセスの付加が容易である限り簡便であり、困難な研磨剤の開発を行う必要がなく好ましい。

【0014】 本発明の目的は、CMP法により配線またはブラッグを形成する際の研磨剤に改良を加えることなく、エロージョンまたはディッシングを抑制する技術を提供することにある。

【0015】 また、本発明の他の目的は、CMP法により形成される配線あるいはブラッグ等の導電部材の厚を設計値に近い程度とする技術を提供することにある。これにより配線等の抵抗値を設計抵抗値に近づけ、半導体装置の信頼性および歩留まりを向上することにある。

【0016】 また、本発明のさらに他の目的は、下地の凹凸に起因した薄膜表面の凹凸をCMP法により平坦化する場合には、下地の配線密度に依存せずに平坦性を向上させる技術を提供することにある。

【0017】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】 (1) 本発明の半導体装置の製造方法は、その主面に回路素子が形成された半導体からなる基板または半導体層を有する基板と、基板の主面に何れかの被覆層に形成された被覆膜とを有する表面に凹凸形状を有する第1被覆膜と、第1被覆膜の凹部に埋め込んで形成された埋め込み部材と、または第1被覆膜を覆いその表面が平坦化された平坦化層とを有する半導体装置の製造方法であって、第1被覆膜上に埋め込み部材または平坦化層となつて、第2被覆膜を形成する第1工程と、第2被覆膜上に第2被覆膜よりCMP法による研磨速度の小さい第3被覆膜を堆積する第2工程と、第3被覆膜および第2被覆膜をCMP法により研磨して埋め込み部材または平坦化層を形成する第3工程を含むものである。

【0020】 このような半導体装置の製造方法によれば、第3被覆膜をCMP法により第2被覆膜を平坦化する際のストップパッドとして作用させることができ、下地の凹凸に依存することなく第2被覆膜を平坦化することができ、なお、第2被覆膜を第1被覆膜の凹部に埋め込む場合であっても第1被覆膜を過剰に研磨することがなく、基板全体の平坦性を向上できる。すなわちエロージョンを抑制できる。

【0021】 この場合、第3被覆膜の厚は、第2被覆膜の研磨量(K2)と、第3被覆膜の研磨量(K3)に第2被覆膜の研磨速度(V2)の第3被覆膜の研磨速度(V3)に対する比($R = V2/V3$)を乗じた値($K3 \cdot R$)との和($K2 + K3 \cdot R$)が、基板の任意の領域においてほぼ等しくなる第1の条件、または、第1被覆膜の凹凸形状に起因する第2被覆膜の凹部の容積Wと、凹部の側壁に

同様にエロージョンを抑制できる。

【0027】この場合、第1被膜は、絶縁膜であり、第2被膜は銅または銅合金を主成分とする銅膜であり、第3被膜はメッキ法により形成された銅または銅合金を主成分とする銅膜、または、SOG膜とすることができ、この場合、エロージョンを抑制して、第1被膜である絶縁膜の配線幅あるいは接点孔に設計値に近い厚膜を有する配線またはプラグを形成できる。この結果、半導体装置を設計値通りに製造でき、配線またはプラグの膜厚減少に起因する信頼性および歩留まりの低下の要因を排除して半導体装置の信頼性および歩留まりを向上できる。

【0028】なお、前記した(1)または(2)の製造方法において、第3被膜を全て除去しても、または、第1被膜の内部に第3被膜を残存させてもよい。第1被膜の内部に第3被膜を残存させる場合であって、第3被膜の研磨速度が第2被膜よりも小さく、また第1被膜と同程度の研磨速度が第2被膜よりも小さく、また第1被膜と同等の場合には、ディッシングを効果的に抑制できる。

【0029】(3)本発明の半導体装置は、その主面に回路素子が形成された、半導体からなる基板または半導体層を有する基板と、基板の主面上の何れかの箇所に形成され、配線または接点孔を有する絶縁膜と、配線または接点孔に埋め込んで形成された配線またはプラグとを有し、配線またはプラグが形成された絶縁膜の表面がCMP法により平坦化されている半導体装置であって、配線またはプラグを構成する金属材料のCMP法による研磨速度よりも小さな研磨速度を有する材料からなる被膜が、配線またはプラグ上に配線またはプラグとともに配線または接点孔に埋め込んで形成されているものである。

【0030】このような半導体装置は、前記した(1)の製造方法において、第3被膜を残存させる場合に製造される。この場合前記したとおり、配線またはプラグのディッシングが効果的に抑制されるため、前記エロージョンの効果とともに配線またはプラグの膜厚(断面積)を設計値に近くすることが可能となる。したがって半導体装置の信頼性および歩留まりを向上できる。

【0031】なお、配線またはプラグは、銅または銅合金を主成分とする銅膜であり、被膜は、チタン膜、タングステン膜、酸化チタン膜、酸化タングステン膜、窒化チタン膜から選択された何れかの金属膜とすることができ、銅膜と金属膜との界面に、銅膜と金属膜との反応を抑制するバリア膜を形成してもよい。

【0032】また、銅膜と金属膜との界面に、銅膜と金属膜との反応を抑制するバリア膜を形成してもよい。

【0033】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための図面において、同一の図柄には同一の符号を付し、その繰り返しの説明は省略する。

【0034】(実施の形態1)図1は、本発明の一実施

の形態である半導体装置の一例を示した断面図である。

【0035】本実施の形態1の半導体装置は、半導体基板1上に形成されたnチャネルMISFETQnおよびpチャネルMISFETQpを有する。nチャネルMISFETQnおよびpチャネルMISFETQpは、C-MISFET(Complementary-MISFET)を構成して半導体集積回路を構成することができ、半導体集積回路に、図示しないが、抵抗、コンデンサ等の受動素子を含めることができる。なお、本実施の形態ではCMISFETを例示するが、nチャネルMISFETQnまたはpチャネルMISFETQpの単一チャネルのMISFETで半導体集積回路を構成してもよい。さらに、本実施の形態ではMISFETを例示するが、バイポーラトランジスタまたはBi-CMISFET等他のトランジスタ構造の素子を用いて半導体集積回路を構成してもよい。

【0036】半導体基板1には、その主面近傍に素子分離領域2が形成され、素子分離領域2で囲まれた活性領域には、p型の不純物(たとえばボロン(B))が低濃度に導入されたp型ウェル3およびn型の不純物(たとえばリン(P)、ヒ素(As))が低濃度に導入されたn型ウェル4が形成されている。nチャネルMISFETQnはp型ウェル3の活性領域主面に、pチャネルMISFETQpは、n型ウェル4の活性領域主面に形成されている。素子分離領域2は、半導体基板1の主面の活性領域内に形成され、たとえばシリコン酸化膜からなる。なお、本実施の形態1では半導体基板1として半導体からなる基板を例示しているが、表面に単結晶の半導体層を有するSOI基板、あるいは表面に多結晶シリコン膜を有するガラス基板であってもよい。

【0037】nチャネルMISFETQnは、p型ウェル3の主面上にゲート絶縁膜5を介して形成されたゲート電極6と、ゲート電極6の両側の半導体基板1の主面に形成された不純物半導体領域7とを有するものである。また、pチャネルMISFETQpは、n型ウェル4の主面上にゲート絶縁膜5を介して形成されたゲート電極6と、ゲート電極6の両側の半導体基板1の主面に形成された不純物半導体領域8とを有するものである。

【0038】ゲート絶縁膜5は、数nmの厚膜を有するシリコン酸化膜からなり、たとえば熱CVD法により形成することができる。ゲート電極6は、たとえば低抵抗多結晶シリコン膜からなり、その上層に、タングステン(W)、コバルト(Co)等のシリサイド層、あるいは窒化チタン(TiN)、窒化タングステン(WN)等のバリアメタルを介したタングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)等の金属層を形成して低抵抗化を図ってもよい。

【0039】不純物半導体領域7、8は、nチャネルMISFETQn、pチャネルMISFETQpのソース・ドレイン領域として機能するものである。不純物半導

体領域7にはn型不純物(たとえばリンまたは砒素)が導入され、不純物半導体領域8にはp型不純物(たとえばボロン)が導入される。不純物半導体領域7、8は、不純物が低濃度に導入された低濃度不純物半導体領域と、不純物が高濃度に導入された高濃度不純物半導体領域とからなるいわゆるLDD(Lightly Doped Drain)構造としてもよい。また、不純物半導体領域7、8の上層には、タングステンシリサイド(WSi_x)、モリブデンシリサイド(MoSi_x)、チタンシリサイド(TiSi_x)、タンタルシリサイド(TaSi_x)などの高融点金属シリサイド膜を形成してもよい。

【0040】ゲート電極6の側面および上層にはサイドウォールスペーサ9およびキャップ絶縁膜10がそれぞれ形成されている。サイドウォールスペーサ9およびキャップ絶縁膜10は、たとえばシリコン酸化膜あるいはシリコン窒化膜とすることができ、シリコン酸化膜を用いる場合には、そのシリコン酸化膜からなるサイドウォールスペーサ9およびキャップ絶縁膜10をマスクとして用い、後に説明する層間絶縁膜に自己整合的に接点孔を開孔することができる。

【0041】半導体基板1、nチャネルMISFETQnおよびpチャネルMISFETQpの上層には層間絶縁膜11が形成されている。層間絶縁膜11として、BPSG(Boro-Phospho-Silicate Glass)膜またはPSG(Phospho-Silicate Glass)膜等のリフロー膜を用いることができるが、層間絶縁膜11の下層もしくは上層にCVD法またはスパッタ法により形成されたシリコン酸化膜とSOG(Spin On Glass)膜の積層膜とすることもできる。

【0042】不純物半導体領域7、8上の層間絶縁膜11には、接点孔12が設けられ、接点孔12には、たとえばスパッタ法により形成されたタングステン膜13a、およびたとえばプラズマCVD法あるいは選択CVD法により形成されたタングステン膜13bからなるプラグ13が形成されている。

【0043】層間絶縁膜11の上層には、第1層配線M1を形成するための配線形成用絶縁膜14が形成されている。また、配線形成用絶縁膜14には、配線溝15が形成され、配線溝15には、第1層配線M1が形成されている。配線形成用絶縁膜14は、たとえばCVD法で形成されたシリコン酸化膜とすることができ、

【0044】第1層配線M1は、たとえば窒化チタン(TiN)からなるバリア層16aと、たとえば銅(Cu)からなる主導電層16bとからなる。このように主導電層16bを抵抗率の小さな銅等の材料を用いることで、第1層配線M1の抵抗値を低減でき、集積回路素子の配線抵抗を低減して回路の遅延時間を短縮し、半導体装置の応答速度を向上してその性能を向上できる。

【0045】なお、バリア層16aとしては、窒化チタンに代えてタンタル(Ta)、窒化タングステン(W

N)、窒化タンタル(TaN)、酸化タンタル(TaO)、酸窒化シリコン(SiON)を用いることができ、主導電層16bには、銅に代えてアルミニウム(A1)、タンダステン(W)を用いることができる。バリ層16aは、主導電層16bを構成する金属元素の拡散を防止して、配線間の絶縁性を確保し、半導体装置の性能および信頼性を高く保つ機能を有する。

【0046】第1層配線M1および配線形成用絶縁膜14の上層には、第1層配線M1と後に説明する第2層配線M2との間を絶縁する層間絶縁膜17が形成されている。層間絶縁膜17は、層間絶縁膜11と同様に構成されているが、耐熱性に劣る銅からなる主導電層16bがすでに形成された状態で層間絶縁膜17が形成されることとなるから、BPSG膜またはPSG膜等のリフロー膜を用いることは好ましくなく、CVD法またはスパッタ法により形成されたシリコン酸化膜あるいはシリコン酸化膜とSiO₂膜との積層膜とすることが好ましい。SiO₂膜を用いることにより、このSiO₂膜が平坦化層として機能し、層間絶縁膜17の表面の凹凸をなくすることができ、これにより層間絶縁膜17に形成されるプラグ等とCMP法により研磨して形成される際の研磨残りを防止して配線間の絶縁性を向上させる。

【0047】層間絶縁膜17には、接線孔118が形成され、接線孔118には、プラグ113と同様にプラグ119が形成されている。すなわち、プラグ119は、たとえばスパッタ法により形成されたタンダステン膜19a、およびたとえばプラズマCVD法あるいは選択CVD法により形成されたタンダステン膜19bからなる。

【0048】層間絶縁膜17上には、第2層配線M2を形成するための配線形成用絶縁膜20が形成されている。また、配線形成用絶縁膜20には、配線層21が形成され、配線層21には、第2層配線M2が形成されている。第2層配線M2は、第1層配線M1と同様に、バリ層22aと主導電層22bからなる。配線形成用絶縁膜20、配線層21、第2層配線M2のその他の構成については、各々配線形成用絶縁膜14、配線層15、第1層配線M1と同様であるため、説明を省略する。

【0049】ここでは、第2層配線M2までを図示して本実施の形態の半導体装置を説明するが、同様に第3層あるいはそれ以上の配線層を構成してさらに多層の半導体装置とすることができることも言うまでもない。

【0050】次に、本実施の形態1の半導体装置の製造方法について説明する。図2～図17は、本実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図または平面図である。

【0051】まず、p⁻形の単結晶シリコンからなる半導体基板1を用意し、素子分離領域2が形成される領域に開口を有するフォトリソレジスト膜をパターンニングし、半導体基板1に浅溝を形成する。次に、フォトリソレジスト膜

を除去し、前記浅溝を埋め込むシリコン酸化膜を半導体基板1の全面に堆積して、このシリコン酸化膜をCMP法により研磨する。これにより浅溝以外の領域の半導体基板1上の前記シリコン酸化膜を除去して浅溝内に素子分離領域2を形成する。

【0052】次に、p型ウェル3が形成される領域に開口を有するフォトリソレジスト膜をパターンニングし、このフォトリソレジスト膜をマスクとして、p型の導電層形成した不純物を、たとえばボロンをイオン注入する。前記フォトリソレジスト膜を除去した後、n型ウェル4が形成される領域に開口を有するフォトリソレジスト膜をパターンニングし、このフォトリソレジスト膜をマスクとして、n型の導電層形成するための不純物、たとえばリンをイオン注入する。さらに、前記フォトリソレジスト膜を除去した後、半導体基板1に熱処理を施して前記不純物を活性化し、p型ウェル3およびn型ウェル4を形成する(図2)。

【0053】次に、半導体基板1の主面上にゲート絶縁膜5となるシリコン酸化膜、ゲート電極6となる多結晶シリコン膜およびキャップ絶縁膜10となるシリコン酸化膜を順次堆積して積層膜を形成し、フォトリソグラフィによりパターンニングされたフォトリソレジスト膜をマスクとして前記積層膜をエッチングし、ゲート絶縁膜5、ゲート電極6およびキャップ絶縁膜10を形成する(図3)。

ゲート絶縁膜5はたとえば熱CVD法により形成することができるが、ゲート電極6はCVD法により形成することができるが、その底質を低減するためにn形の不純物(例えばP)をドーピングしてもよい。なお、ゲート電極6の上部にタンダステンシリサイド(WSi_x)、シリサイドモリブデンシリサイド(MoSi_x)、タンダシリサイド(TaSi_x)、タンタルシリサイド(TaSi_x)などの高融点金属シリサイド膜を堆積してもよく、窒化タンタム(TiN)、窒化タンダステン(WN)等のバリ層を介してタンダステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)等の金属層を形成してもよい。キャップ絶縁膜10はたとえばCVD法により堆積することができる。

【0054】次に、nチャネルMISFETQnが形成される領域に開口を有するフォトリソレジスト膜をパターンニングし、このフォトリソレジスト膜とキャップ絶縁膜10とをマスクとして、p型の導電層の不純物を、たとえばリンをイオン注入し、不純物半導体領域7をゲート電極6に対して自己整合的に形成する。前記フォトリソレジスト膜を除いた後、pチャネルMISFETQpが形成される領域に開口を有するフォトリソレジスト膜をパターンニングし、このフォトリソレジスト膜とキャップ絶縁膜10とをマスクとしてp型の導電層の不純物を、たとえばボロンをイオン注入し、不純物半導体領域8をゲート電極6に対して自己整合的に形成する。さらに、半導体基板1上にCVD法で酸化シリコン膜を堆積した後、反応性イオンエッチング(RIE)法でこの酸化シリコン膜を異方性エッチ

ングすることにより、ゲート電極6の側面にサイドウォールスペーサ9を形成する(図4)。なお、さらに、フォトリソレジスト膜、キャップ絶縁膜10およびサイドウォールスペーサ9をマスクとして不純物半導体領域7または不純物半導体領域8にその導電型に応じた不純物を高濃度にイオン注入し、いわゆるLDD構造の不純物半導体領域を形成してもよい。また、この段階で、不純物半導体領域7、8の表面に、タンダステンまたはコバルトのシリサイド膜を形成し、不純物半導体領域7、8のシート抵抗およびプラグ13との接線抵抗を低減するようにしてもよい。

【0055】次に、半導体基板1上にスパッタ法またはCVD法で酸化シリコン膜を堆積し、層間絶縁膜11を形成する。層間絶縁膜11の表面は、CMP法を用いて平坦化することができる。さらに、半導体基板1の表面の不純物半導体領域7、8上の層間絶縁膜11に、フォトリソグラフィ技術およびエッチング技術を用いて接線孔112を開く(図5)。

【0056】次に、スパッタ法によりタンダステン膜13aを増膜し、さらにプラズマCVD法によりタンダステン膜13bを増膜する(図6)。

【0057】次に、接線孔112以外の層間絶縁膜11上のタンダステン膜13bおよびタンダステン膜13aをCMP法により除去し、プラグ13を形成する(図7)。

【0058】次に、層間絶縁膜11およびプラグ13上に配線形成用絶縁膜14を堆積する。配線形成用絶縁膜14は、第1層配線M1をCMP法で形成するために形成されるものであり、たとえばCVD法またはスパッタ法により形成されたシリコン酸化膜とすることができ、配線形成用絶縁膜14の膜厚は、たとえば、5μmあるいはそれよりも若干厚くすることができる。

【0059】次に、第1層配線M1が形成される領域に開口を有するフォトリソレジスト膜を形成し、このフォトリソレジスト膜をマスクとして配線形成用絶縁膜14をエッチングし、配線層15を形成する(図8)。

【0060】次に、配線層15の内部を含む配線形成用絶縁膜14の表面にバリ層16aとなる窒化タンタル膜25を堆積する(図9)。窒化タンタル膜23は、たとえばCVD法あるいはスパッタ法により堆積することができる。窒化タンタル膜23の堆積は、後に説明する銅膜の密着性の向上および銅の拡散防止のために行うものである。なお、窒化タンタル膜に代えてタンタル等の金属膜あるいは窒化タンタル膜等であってもよい。また、本工程における窒化タンタル膜23の表面をスパッタエッチングすることも可能である。このようにスパッタエッチングにより、窒化タンタル膜23の表面に吸着した水、酸腐分子等を除去し、銅膜の接着性を改善することができ、

【0061】次に、主導電層16bとなる金属膜、たとえば

ば銅膜24をスパッタ法により堆積する(図10)。スパッタ法による銅膜24の堆積条件を例示すれば、反応圧力0.2mTorr以下とし、銅ターゲットから基板までの距離を20cm以上にすることを、CVD法、メッキ法等、プロセスの複雑な堆積工程、導電膜等膜質に問題の生ずる可能性のある工程を採用することなく、技術的に安定した工程を用いて良質な銅膜を安定に形成することができる。なお、スパッタ法により堆積された銅膜24の段差被覆性は良好でないため、この段階では、銅膜24は配線層15内に完全に埋め込まれない。

【0062】次に、半導体基板1に熱処理を施し、銅膜24をリフローさせて、配線層15に完全に埋め込まれた銅膜25を形成する(図11)。熱処理の条件は、たとえば不活性ガスあるいは水素雰囲気下の200°C程度の減圧下における450°C、5分間の加熱を例示できる。

【0063】次に、銅膜25の表面にストッパ膜26を形成し(図12)、配線形成用絶縁膜14上の余分なストッパ膜26、銅膜25および窒化タンタル膜23を除去し、主導電層16bおよびバリ層16aからなる第1層配線M1を形成する(図13)。ストッパ膜26、銅膜25および窒化タンタル膜23の除去には、CMP法を用いる。また、このCMP法による研磨の際にストッパ膜26が形成されているため、配線形成用絶縁膜14および第1層配線M1のエロージョンを抑制できる。この点を図14を用いて説明する。

【0064】図14(a)～(c)は、第1層配線M1の配線密度が大(密)な領域の一部断面を、図14(d)～(f)は、第1層配線M1の配線密度が小(疎)な領域の一部断面を示している。CMP法による研磨前の銅膜25の表面形状は、配線形成用絶縁膜14の凹凸つまり配線層15に応じた凹凸が形成されている。また、ストッパ膜26は、比較的薄い膜厚であるため、銅膜25の表面形状に沿って形成されている(図14(a)および(d))。

【0065】ストッパ膜26は、そのCMP法による研磨速度が銅膜25の研磨速度よりも小さい材料で構成され、たとえばチタン(Ti)膜、タンタル(Ta)膜、タンダステン(W)膜、窒化タンダステン(WN)膜、窒化タンタル(TaN)膜から選択される。ストッパ膜26はスパッタ法で形成できるが、CVD法により形成してもよい。なお、一般的なCMP法による研磨速度を例示すると、銅膜が130nm/min、窒化タンタル膜が100nm/minであるのに対し、チタン膜およびタンタル膜は各々40nm/minおよび30nm/minと低い。

【0066】ストッパ膜26は、基板全面に均一な膜厚で形成されるため、配線密度が大きな領域(図14(d)～(f))と配線密度が小さな領域(図14(a)～(c))とで

は、CMP法により研磨するべきストロップ領域26の量は、配線密度が大きな領域では、凹部の側壁に相当する分だけ研磨するべきストロップ領域26の量が多くなる。一方、配線密度が小さな領域では、CMP法により研磨するべき領域25の量が多くなる。そこで、銅領域25とストロップ領域26との研磨量の和が、半導体基板1の任意の領域での研磨速度がほぼ一致するようにストロップ領域26を形成すれば、CMP法による研磨が終了した段階で、配線密度が大であってあるいは小であっても各領域でのジエトエッチをほぼ同時に達成することが可能となる。

【0067】この状態を示したのは図14 (b)、(c)、(e)、(f)である。研磨途中において線密度が大な領域(図14 (b))では、研磨すべき銅膜255の量は少ないがストッパ膜266の量が多く、一方、線密度密度が少な領域(図14 (e))では、研磨すべき銅膜255の量は多しストッパ膜266の量が少なかった。ほぼ同量だけ付着されており、両者の研磨が終了するジェムエッジ付着面は、ほぼ同時に達成される(図14 (c) および(f))。

【0068】なお、図15は、配線密度が大きな領域（図15(a)）と配線密度が小さな領域（図15(b)）の一例を示しており、図15(a)のA-A線断面のB-B線断面を示しており、図15(c)であり、図15(b)のB-B線断面を示しているが図14(d)～(f)である。

【0069】このような、ストッパ膜26の膜厚は、銅線25の研磨量K2、とストッパ膜26の研磨量K3に、 $K2 \times K3 \times R$ （R＝銅線25の研磨速度V2/ストッパ膜26の研磨速度V3）を乗じた値の和（ $K2 + K3 \times R$ ）が、任意の領域においてほぼ等しくなるように、形成できる。あるいは、図15(c)に示すように、配線溝15の形状に起因する銅線25の凹部の容積W2と、凹部の側壁に形成されたストッパ膜26の体積W3とに、銅線研磨速度比Rを乗じた値W3・Rとが、ほぼ等しくなるように形成できる。

【0070】このようなストッパ膜26が形成されているため、銅膜25の研磨量不足をストッパ膜26で補い、半導体基板1の全面にわたって均一にストッパ膜26および銅膜25を研磨して、配線密度の相違により発生する半導体装置の不均一性を抑制可能となる。この結果、半導体装置の第1層配線M1の膜厚（断面膜）を設計値通りに形成し、その信頼性と歩留まりを向上させることができる。

【0071】なお、銅膜25とストッパ膜26との界面に、反応を抑制するバリア膜を形成できる。バリア膜としてはたとえば窒化チタン膜を例示できる。バリア膜は、スパッタ法またはCVD法により形成できる。

【0072】また、CMP法による研磨に用いる研磨剤としては、一般的な銅研磨用の研磨剤を用いることができ、特別に研磨特性を改善するような研磨剤を用いる必要はない。

要はない。たとえばロデール社製QCTT1010に過酸化水素水およびペンソトリアゾール (BTA) を用いることができる。

〔0073〕なお、CMPを行う前にストッパ膜のメタルドライエッチングにより凸部上面のストッパ膜 (バリア層) を除去すると、CMP時間を短縮し、さらに、エロージョン、ディッシング対策において特性が向上する。

【0074】次に、同図地線裏11と同様に閉閉地線裏117を形成し、プラグ113の場合と同様に、タングステン膜19aおよびタングステン膜19bからなるプラグ119を接孔118内に形成する(図116)。

【0075】さらに、配線形成用絶縁膜14と同様に、第2層配線22を形成するための配線形成用絶縁膜20を形成し、配線溝15と同様に配線溝21を形成する。さらに、第1層配線M1の場合と同様に、第2層配線M2のバリ層22aとなる窒化チタン膜27を形成し、銅膜を堆積した後、バリをリフローして第2層配線M2の主導電層22bとなる銅膜28を形成する。さらに、銅膜28上にもストロップ層29を形成する(図117)。

【0076】その後、第1層配線M1の場合と同様に、素子抵抗調整用半導体膜227をC素子抵抗調整用半導体膜228および酸化チタン膜229をCMP法により除去し、バリア層22aと主電極層22bとからなる第2層配線M2を形成して、図1に示す半導体装置がほぼ完成する。このとき、ストッパ膜29が第1層配線M1の場合のストッパ膜26と同様な効果を奏することはいうまでもない。

【0077】本実施形態の半導体装置の製造方法によれば、配線上のエロージョンを抑制し、半導体装置の信頼性および歩留まりを向上できる。

【0078】（実施の形態2）図18および図19は、実施の形態2の半導体装置の製造方法を示した断面図である。本実施の形態2の製造方法は、実施の形態1におけるストッパ膜26を犧牲層30に置き換えたものである。したがってその他実施の形態1と同様の工程および構成については説明を省略する。

【0079】本実施形態の第2の製造方法は、実施の形態1における図11までの工程と同様である。その後、図18に示すように、銅線25上に導性膜30を形成する。導性膜30は、銅線25とほぼ同一のCMP法による研磨速度を有する材料で構成される、かつアズボ状態でその表面が平坦化されているものである。たとえば、メッキ法で形成された銅線、あるいはSOG (Spin On Glass) 膜を例示できる。メッキ法は、無電解メッキあるいは電解メッキの何れでもよい。

【0080】このように、アズドパ状態で平坦化せられ、かつ、そのCMP法による研磨速度が銅膜25と同等な導性膜30を形成することにより、配線密度に依存しない導性膜30および銅膜25を平坦に研磨でき、第1配線層M1のエロージョンを防止することができる。こ

れにより半導体装置の信頼性および歩留まりを向上でき
る。【0081】その後の工程は実施形態1と同様であ
る。

【0082】なお、図 19 に、本実施の形態の場合の線性速度 3.0 および傾度 2.5 の研削の様子を示す。図 19 (a) ～ (c) は、第 1 層被削層 M1 の配線密度が大(密)な領域の一部断面であり、図 19 (d) ～ (f) は、第 1 層被削層 M1 の配線密度が小(疎)な領域の一部断面を示している。線性速度 3.0 は平坦化して形成されるため、配線密度が相違しても、その表面は平坦である(図 19 (a) および (d))。また、線性速度 3.0 の CMP 法による研削速度は傾度 2.5 の研削速度と同等であるとして、研削途中においては均場密度によりずいぶん研削量と異なる(図 19 (b) および (e))。したがって、配線密度が大であってもあるいは小であっても各領域でのジグザグエッジをほぼ同時に形成することができ、両者の研削が終了するジェラエッジ状態は、ほぼ同時に達成される(図 19 (c) および (f))。

【0083】（実施の形態3）図20～図23は、実施の形態3の半導体装置の製造方法を工程順に示した断面図である。本実施の形態3の製造方法は、実施の形態1の製造方法とほぼ同様であるが、CMP法による研磨の終了の際にストロップ膜26を残存させる例を示す。

【0084】ストッパー26が絶縁部で構成される場合にはストッパー26を廃止しても問題はないが、実施の形態1のようにストッパー26を導電性の金属膜で構成する場合にはこれを全て除去しなければ配線間がショートされ問題がある。このため、実施の形態1のようない場合にはストッパー26を全て除去するが原則である。

【0085】しかし、図20に示すように、銅線31を実施の形態における銅線24よりも薄く堆積し、これを図21に示すようにリフローした後には、配線層15の上面よりも低い高さにリフロー後の銅線32を形成できる。図21において銅線32の上面と配線層15の上面の高さ差を δ として示している。

【0086】このような銅膜32上に実施の形態1と同様にスタンプ膜33を堆積し(図22)、実施の形態1と同様にCMP法による研磨を行えば、図23に示すように、第1配線線M1の上面にスタンプ膜33の一部を残存させることができる。

【0087】このように第1層配線M1の上面にストッパ層33を一部残存させることにより、実施の形態1で説明したエロージョンを抑制する効果に加えて、ディップパングを防止することも可能となる。すなわち、ストッパ層33は前記の通り銅膜32よりもCMP法による研磨速度が小さいため、銅膜32の過剰研磨を防止できるとができるためである。銅膜32の過剰研磨を防止して、結果、トータルディップパングを抑制して第1層配線

この線断面積をより設計値に近づけることが可能なる。これにより半導体装置の信頼性および歩留まりを向上できる。

【008】なお、この後の工程は実施の形態1と同様であり、第2配線M2の場合にも適用できることは勿論である。

【0089】以上、本発明者によってなされた発明を掲
明の実施の形態に基づき具体的に説明したが、本発明は
前記実施の形態に限定されるものではなく、その要旨を
逸脱しない範囲で種々変更可能であることは言うまでも
ない。

【0090】たとえば、前記実施の形態では第1層配線M1あるいは第2層配線M2に本発明を適用する場合を説明したが、さらに上層の配線層に適用できることは勿論である。

【0091】また、配線のみならず、プラグ等の挿電
部材を接続孔等に埋め込んでCMP法により形成する場
合にも本発明を適用できる。

【0092】また、配線あるいはプラグ等導電部材の形成以外であっても本発明を適用できる。すなわち、下地材の凹凸形状に起因して被加工表面に凹凸形状が形成されている場合に、その凹凸の密着に依存せず被加工面をCMP法により平坦化する場合には本発明を適用できる。

【0093】
【発明の効果】本願において開示される発明のうち、代
表的なものによって得られる効果を簡単に説明すれば以
下のとおりである。

【0094】(1) CMP法により配線またはブラグを形成する際の研磨剤に改良を加えることなく、エロージョンまたはデイスシングを抑制する技術を提供できる。

【0095】 (2) CMP法により形成される配線あるいはプラグ等の導電部材の厚さを設計値に近い値にできる。これにより配線等の底面を設計抵抗値に近づけ、半導体装置の信頼性および寿命を向上できる。

【0096】 (3) 下地の配線密度に依存せずに、下地の凹凸に起因した薄層表面の凹凸をCMP法により平坦化できる。

【図面の簡単な説明】
【図１】本発明の一実施の形態である半導体装置の一例を示した断面図である。

【図2】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図3】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図4】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図5】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図6】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図7】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図8】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図9】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図10】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図11】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図12】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図13】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図14】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図15】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図16】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図17】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図18】実施の形態2の半導体装置の製造方法を示した断面図である。

【図19】実施の形態2の半導体装置の製造方法を示した断面図である。

【図20】実施の形態3の半導体装置の製造方法を工程順に示した断面図である。

【図21】実施の形態3の半導体装置の製造方法を工程順に示した断面図である。

【図22】実施の形態3の半導体装置の製造方法を工程順に示した断面図である。

【図23】実施の形態3の半導体装置の製造方法を工程順に示した断面図である。

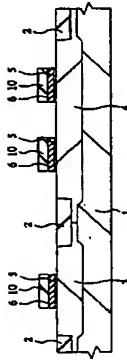
【図24】エロージョンおよびディッシングを説明するための断面図である。

【図2】

図2

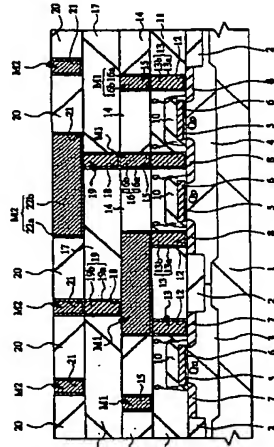


図3



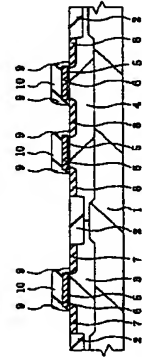
【図1】

図1



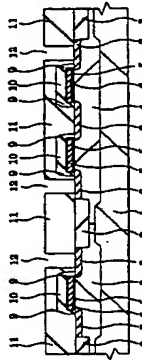
【図4】

図4



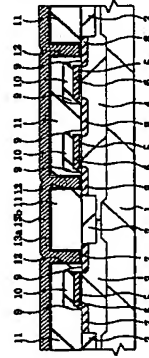
【図5】

図5



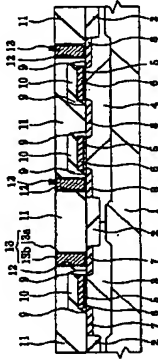
【図6】

図6



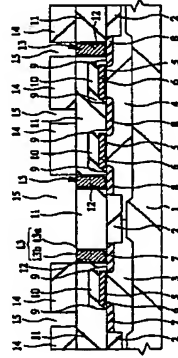
【図7】

図7



【図8】

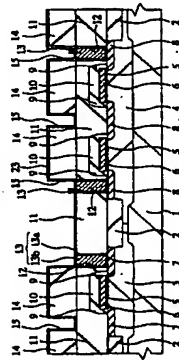
図8



(13)

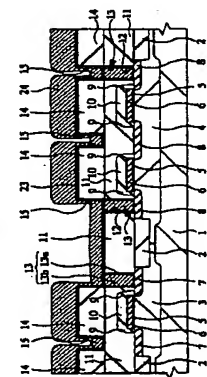
【図9】

図 9



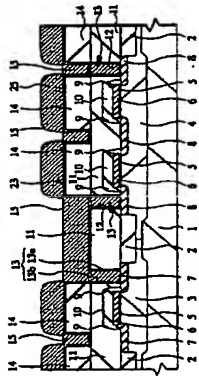
【図10】

図 10



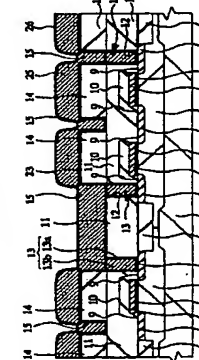
【図11】

図 11



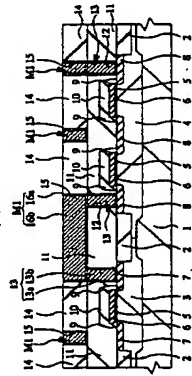
【図12】

図 12



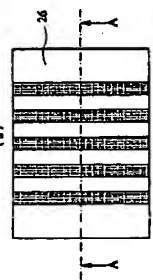
【図13】

図 13



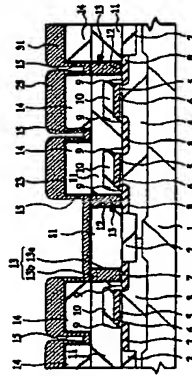
【図15】

図 15



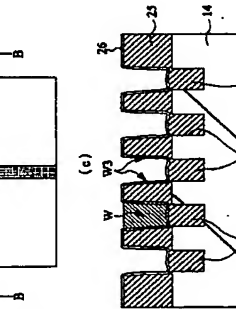
【図20】

図 20



【図21】

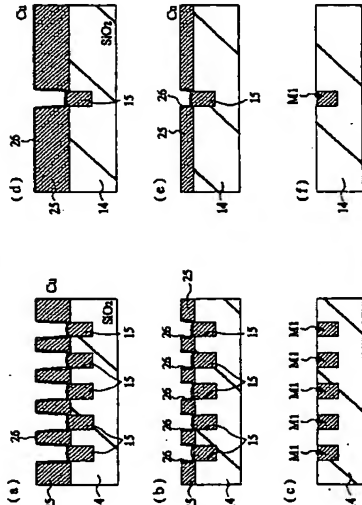
図 21



(14)

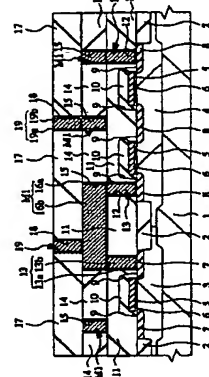
【図14】

図 14



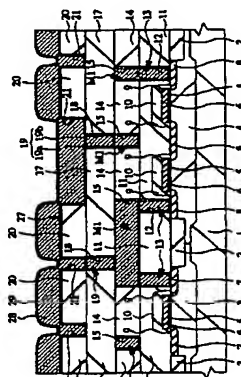
【図16】

図 16



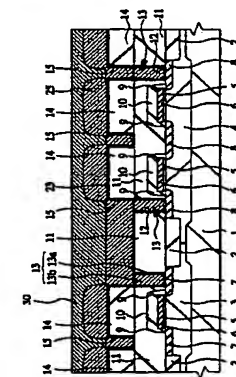
【図17】

図 17



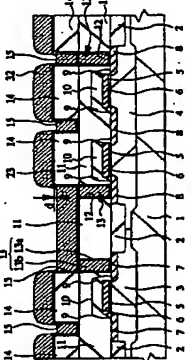
【図18】

図 18

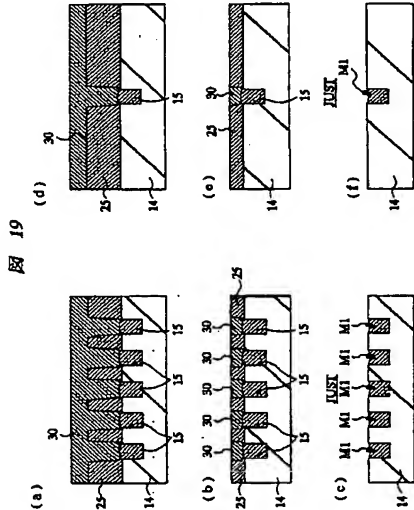


【図21】

図 21

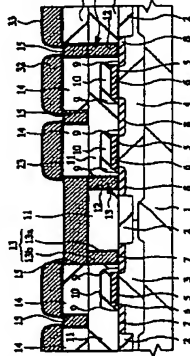


[図19]



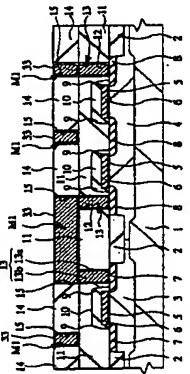
[図22]

図 22



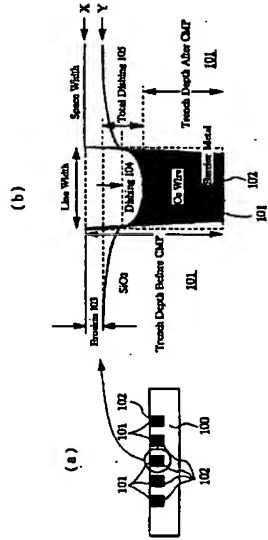
[図23]

図 23

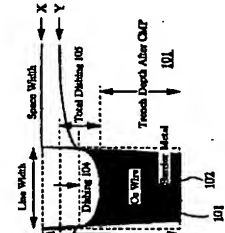


[図24]

図 24

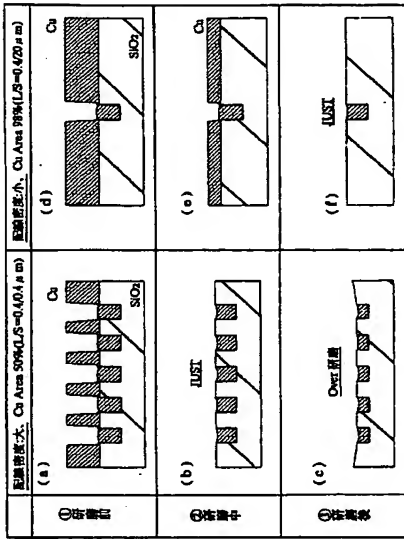


(b)



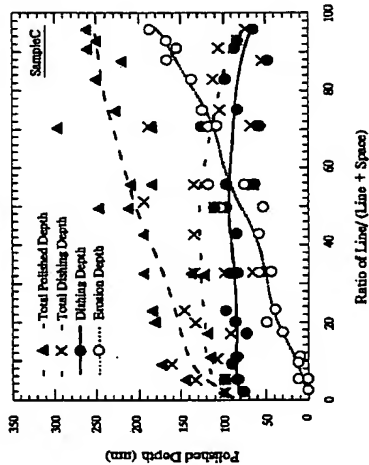
[図25]

図 25



[図26]

図 26



フロントページの続き

(72)発明者 大橋 直史
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センター内
(72)発明者 山口 日出
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センター内

(72)発明者 近藤 雄一
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
Fターム(参考) 5F033 AA02 AA04 AA19 AA23 AA66
BA15 BA17 BA25 BA41 EA05
EA25